

DRAM with cell matrix of transistors

Patent Number: ☐ DE19504994
Publication date: 1995-08-31
Inventor(s): YOON JOO-YOUNG (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (KR)
Requested Patent: ☐ JP7263649
Application Number: DE19951004994 19950215
Priority Number(s): KR19940003969 19940228
IPC Classification: H01L27/108; H01L21/8242; H01L21/283
EC Classification: H01L21/8242, H01L27/105, H01L27/108F2
Equivalents:

Abstract

In the cell matrix section of the semiconductor substrate (100) is formed a first transistor which a second transistor is incorporated in the peripheral circuit. The surface of the resulting structure is covered by an insulating layer with contact holes, exposing the transistor gate electrodes (104, 104'). There are two metal pattern layers on the insulating layer, one coupled to the first transistor gate electrode and the second one to the second transistor gate, source and drain electrodes via the contact holes. The structure is covered by a second insulating layer, over which is formed a capacitor with a storage electrode (115), an intermediate dielectric (116), and a plate electrode (117). The assembly is covered by a third insulating layer (118) with contacting through holes (119).

Data supplied from the esp@cenet database - 12

半導体メモリ装置およびその製造方法

特開平 7 - 2 6 3 6 4 9

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 263649

(43) 公開日 平成 7 年 (1995) 10 月 13 日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/8242				
21/768				
		7735-4M	H 0 1 L 27/ 10	6 2 1 B
			21/ 90	D
			審査請求	未請求 請求項の数12 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平 7 - 39732

(22) 出願日 平成 7 年 (1995) 2 月 28 日

(31) 優先権主張番号 1 9 9 4 P 3 9 6 9

(32) 優先日 1994 年 2 月 28 日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 尹 宙永
大韓民国 ソウル特別市 瑞草区 方背洞
1010番地 林光アパート 13棟 703号

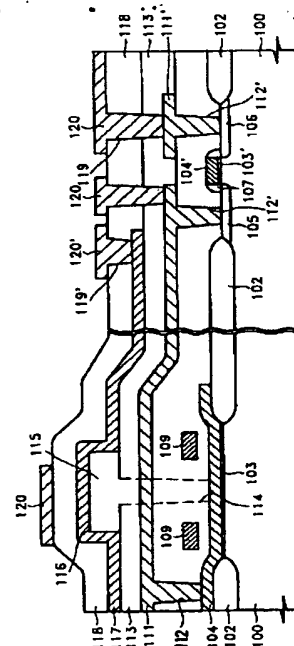
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 半導体メモリ装置およびその製造方法

(57) 【要約】

【目的】 新規の構造の配線層および高容量のキャパシタを有する半導体メモリ装置およびその製造方法を提供する。

【構成】 第1金属物質の第1パターン層111は、第1コンタクトホール112を通じてセルアレイ部に形成された第1トランジスタのゲート104に接続される。第1金属物質の第2パターン層111'は、第2コンタクトホール112'を通じて周辺回路部に形成された第2トランジスタのゲート104'、ソース105およびドレイン106に接続される。第3絶縁膜113上に形成される第2金属物質の第3パターン層120は、第1ファイアホール119を通じて第1および第2パターン層111、111'に接続される。第1および第2パターン層111、111'によりワードラインの抵抗を減少させると同時に、周辺回路部の配線を連結する。これにより、コンタクトホールおよびファイアホールの縦横比が減少して金属配線を容易に形成できる。



【特許請求の範囲】

【請求項 1】 セルアレイ部と周辺回路部とに区分された半導体基板と、

前記半導体基板のセルアレイ部に形成された第 1 トランジスタおよび前記半導体基板の周辺回路部に形成された第 2 トランジスタと、

前記第 1 トランジスタおよび前記第 2 トランジスタの上から前記半導体基板の全面に形成され、前記第 1 トランジスタのゲートを露出させる第 1 コンタクトホールと前記第 2 トランジスタのゲート、ソースおよびドレインをそれぞれ露出させる第 2 コンタクトホールとを有する第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され、前記第 1 コンタクトホールを通じて前記第 1 トランジスタの前記ゲートに接続される第 1 金属物質の第 1 パターン層および前記第 2 コンタクトホールを通じて前記第 2 トランジスタのゲート、ソースおよびドレインにそれぞれ接続される第 1 金属物質の第 2 パターン層と、

前記第 1 金属物質の第 1 パターン層および第 2 パターン層の上から前記半導体基板の全面に形成される第 2 絶縁膜と、

前記第 2 絶縁膜上に形成され、前記第 1 トランジスタのソース領域に接続されるストレージ電極および前記ストレージ電極上に誘電体膜を介して形成されたプレート電極を有するキャパシタと、

前記キャパシタの上から前記半導体基板の全面に形成される第 3 絶縁膜と、

前記第 2 絶縁膜および前記第 3 絶縁膜に形成され、前記第 1 金属物質の第 1 パターン層および第 2 パターン層をそれぞれ露出させる第 1 ファイアホールと、

前記第 3 絶縁膜上に形成され、前記第 1 ファイアホールを通じて前記第 1 金属物質の第 1 パターン層および第 2 パターン層にそれぞれ接続される第 2 金属物質の第 3 パターン層とを備えることを特徴とする半導体メモリ装置。

【請求項 2】 前記第 3 絶縁膜に形成され前記キャパシタの前記プレート電極を露出させる第 2 ファイアホールおよび前記第 3 絶縁膜上に形成され前記第 2 ファイアホールを通じて前記プレート電極に接続される第 2 金属物質の第 4 パターン層をさらに備えることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 前記第 1 絶縁膜上に形成され前記第 1 トランジスタのドレイン領域に接続されるビットラインをさらに備えることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 4】 前記第 1 絶縁膜と前記第 1 金属物質の第 1 パターン層および第 2 パターン層との間に形成され、前記第 1 コンタクトホールのコンタクト抵抗を減少させジャンクションを保護するための障壁金属層をさらに備えることを特徴とする請求項 1 記載の半導体メモリ装

置。

【請求項 5】 前記第 1 金属物質の第 1 パターン層および第 2 パターン層は、半導体メモリ装置の多層配線の最下層の配線であることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 6】 前記第 1 絶縁膜および前記第 2 絶縁膜に形成され前記第 1 トランジスタの前記ソース領域を露出させるストレージノードコンタクトホールと、前記ストレージノードコンタクトホールの側面部に形成され絶縁物質からなる側壁スペーサとをさらに備えることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 7】 セルアレイ部と周辺回路部とからなる半導体メモリ装置の製造方法において、

半導体基板のセルアレイ部および周辺回路部にそれぞれソースおよびドレインを形成し、前記ソースおよび前記ドレインの間にゲート絶縁膜を介してゲートを形成することにより第 1 トランジスタおよび第 2 トランジスタを形成するトランジスタ形成段階と、

前記トランジスタ形成段階で得られた結果物の全面に第 1 絶縁膜を形成する第 1 絶縁膜形成段階と、

前記第 1 絶縁膜を部分的に蝕刻することにより、前記セルアレイ部に形成された前記第 1 トランジスタのゲートを露出させる第 1 コンタクトホールと前記周辺回路部に形成された前記第 2 トランジスタのゲート、ソースおよびドレインとをそれぞれ露出させる第 2 コンタクトホールを形成するコンタクトホール形成段階と、

前記コンタクトホール形成段階で得られた結果物の全面に第 1 金属物質を蒸着した後パターニングすることにより、前記第 1 コンタクトホールを通じて前記第 1 トランジスタのゲートに接続される第 1 金属物質の第 1 パターン層、および前記第 2 コンタクトホールを通じて前記第 2 トランジスタのゲート、ソースおよびドレインにそれぞれ接続される第 1 金属物質の第 2 パターン層を形成する第 1 および第 2 パターン層形成段階と、

前記第 1 および第 2 パターン層形成段階で得られた結果物の全面に第 2 絶縁膜を形成する第 2 絶縁膜形成段階と、

前記第 2 絶縁膜上に前記第 1 トランジスタのソース領域に接続されるストレージ電極を形成し、前記ストレージ電極上に誘電体膜を介してプレート電極を形成することによりキャパシタを形成するキャパシタ形成段階と、

前記キャパシタ形成段階で得られた結果物の全面に第 3 絶縁膜を形成する第 3 絶縁膜形成段階と、

前記第 2 絶縁膜および前記第 3 絶縁膜を部分的に蝕刻して前記第 1 金属物質の第 1 パターン層および第 2 パターン層をそれぞれ露出させる第 1 ファイアホールを形成する第 1 ファイアホール形成段階と、

前記第 1 ファイアホール形成段階で得られた結果物の全面に第 2 金属物質を蒸着した後パターニングすることにより、前記第 1 ファイアホールを通じて前記第 1 金属物

質の第 1 パターン層および第 2 パターン層にそれぞれ接続される第 2 金属物質の第 3 パターン層を形成する第 3 パターン層形成段階とを備えることを特徴とする半導体メモリ装置の製造方法。

【請求項 8】 前記第 1 ファイアホール形成段階で前記キャパシタの前記プレート電極を露出させる第 2 ファイアホールを形成する第 2 ファイアホール形成段階と、前記第 3 パターン層形成段階で前記第 2 ファイアホールを通じて前記プレート電極に接続される第 2 金属物質の第 4 パターン層を形成する第 4 パターン層形成段階とをさらに備えることを特徴とする請求項 7 記載の半導体メモリ装置の製造方法。

【請求項 9】 前記トランジスタ形成段階の後に、前記トランジスタ形成段階で得られた結果物の全面に絶縁膜を形成する段階と、前記絶縁膜を部分的に蝕刻して前記セルアレイ部に形成された前記第 1 トランジスタのドレイン領域を露出させるビットラインコンタクトホールを形成するビットラインコンタクトホール形成段階と、前記ビットラインコンタクトホール形成段階で得られた結果物の全面に導電物質を蒸着した後パターニングすることにより、前記ビットラインコンタクトホールを通じて前記第 1 トランジスタのドレイン領域に接続されるビットラインを形成するビットライン形成段階とをさらに備えることを特徴とする請求項 7 記載の半導体メモリ装置の製造方法。

【請求項 10】 前記第 1 金属物質は、タングステンやチタニウムの群から選択されたいずれか 1 つであることを特徴とする請求項 7 記載の半導体メモリ装置の製造方法。

【請求項 11】 前記コンタクトホール形成段階の後に、前記コンタクトホール形成段階で得られた結果物の全面に金属物質を蒸着して障壁金属層を形成する障壁金属層形成段階とをさらに備えることを特徴とする請求項 7 項に記載の半導体メモリ装置の製造方法。

【請求項 12】 前記第 2 絶縁膜形成段階の後に、前記第 2 絶縁膜および前記第 1 絶縁膜を部分的に蝕刻して前記セルアレイ部に形成された前記第 1 トランジスタのソース領域を露出させるストレージノードコンタクトホールを形成するストレージノードコンタクトホール形成段階と、前記ストレージノードコンタクトホール形成段階で得られた結果物の全面に絶縁物質を蒸着し、これを異方性蝕刻することにより、前記ストレージノードコンタクトホールの側面部に絶縁物質からなる側壁スペーサを形成する側壁スペーサ形成段階とをさらに備えることを特徴とする請求項 7 記載の半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ装置およ

びその製造方法に係り、特に新しい構造の配線層および高容量のキャパシタを有する半導体メモリ装置およびその製造方法に関する。

【0002】

50 【従来の技術】 DRAM 素子の集積度が増加するにつれ、1 つのチップ内で単位セルが占める面積が減るようになり、これは結果的にキャパシタの面積の減少をもたらした。したがって、集積度の増加と共に、単位面積に確保されるキャパシタンスの増加は必須である。

10 【0003】 従来、限定された面積内で十分に大きいキャパシタンスを確保するために、キャパシタの構造を 3 次元的に形成する多くの方法が提案されている。1988 年に Kimura などは、キャパシタをビットライン上に形成する DASH (Diagonal Active Stacked capacitor cell with a Highly-packed storage node) を提案している (参照文献: IEDM '88, "A New Stacked Capacitor DRAM Cell Characterized by a Storage Capacitor on a Bit-line Structure")。

【0004】

20 【発明が解決しようとする課題】 前記の DASH は、ストレージ電極のサイズをリソグラフィ限界まで最大化させ得るが、メモリセルアレイ部から周辺回路部に進む領域での段差が大きい。これにより、後続する金属配線工程は難しくなる。また、キャパシタンスを増加させるためにストレージ電極の高さを増加しようとする場合には、このような問題がさらに深刻になる。

30 【0005】 前述した問題点を解決するために、本出願人は (発明者: Joo-young Yun の他一人)、新規の構造の半導体メモリ装置およびその製造方法を発明したことがあり、これを韓国の特許庁に韓国特許出願第 92-22570 として出願して現在係属中である。図 1 は本出願人による従来の半導体メモリ装置のレイアウト図であり、図 2 は前記図 1 の切断線 AA' による断面図であり、メモリセルアレイ部および周辺回路部の一部分を示す。

35 【0006】 図 1 および図 2 に示すように、半導体基板 21 に素子分離層 22 を選択的に形成して活性領域 60 を限定した後、半導体基板 21 のメモリセルアレイ部および周辺回路部にそれぞれゲート絶縁膜 23、ゲート 24、ソース 25 およびドレイン 26 を備える第 1 トランジスタおよび第 2 トランジスタを形成する。次いで、前記第 1 トランジスタおよび前記第 2 トランジスタ上に第 1 絶縁膜を形成し、セルアレイ部に形成された前記第 1 トランジスタのドレイン領域を露出させるビットラインコンタクトホール 51 を形成する。次に、ビットラインコンタクトホール 51 を通じて前記第 1 トランジスタのドレインに接続されるビットライン 29 を形成したのち、第 2 絶縁膜を形成し、セルアレイ部の前記第 1 トランジスタのゲート 24 と接続される第 1 金属層 32 を形成する。この際、第 1 金属層 32 は、セルアレイ部に限

定されて形成される。次いで、第 1 金属層 3 2 上に第 3 絶縁膜を形成し、前記第 1 トランジスタのソースを露出させるストレージノードコンタクトホール 5 0 を形成する。次に、ストレージノードコンタクトホール 5 0 を通じて前記第 1 トランジスタのソースに接続されるストレージ電極 3 4、誘電体膜 3 5 およびプレート電極 3 6 を備えるキャパシタを形成する。次いで、プレート電極 3 6 上に第 4 絶縁膜を形成し、多数のファイアホール (via hole) 7 0、7 0' を形成する。この際、ファイアホール 7 0、7 0' は、第 1 金属層 3 2 および周辺回路部に形成された第 2 トランジスタのゲート、ソースおよびドレイン上にそれぞれ形成される。次に、ファイアホール 7 0、7 0' を通じて第 1 金属層 3 2 および第 2 トランジスタにそれぞれ接続される第 2 金属層 8 0 を形成する。ここで、第 2 金属層 8 0 は、周辺回路部の回路を連結すると同時に、セルアレイ部に形成された第 1 金属層 3 2 を連結させる役割を果たす。

【0007】前述した従来の方法によると、キャパシタを形成する前に第 1 金属層 3 2 を形成することにより、メモリセルアレイ部と周辺回路部との段差が非常に低くなり、キャパシタンスを増加させるために、ストレージ電極 3 4 の厚さを厚くしても前記段差に影響しない。しかしながら、周辺回路部が第 2 金属層 8 0 のみで連結されるために、単一金属配線構成のように動作して、レイアウトおよび動作速度などの点で損失が大きい。これを解決するために周辺回路部を二重金属配線構成にすると、全体的には三重金属配線工程となるので工程が非常に複雑になる。また、第 2 金属層で周辺回路部の配線を連結するために、第 2 トランジスタのゲート、ソースおよびドレインをそれぞれ露出させるファイアホール 7 0' の深さ (図 2 の参照符号 a) が非常に深くなり、ファイアホール 7 0' の形成が難しい。さらに、ファイアホール 7 0' の縦横比 (aspect ratio) が増えて、ファイアホール 7 0' 内で後続する金属配線工程が施しにくい。

【0008】本発明の目的は、金属配線を容易に形成できる半導体メモリ装置を提供することにある。本発明の他の目的は、前記半導体メモリ装置を製造するのに特に適した半導体メモリ装置の製造方法を提供することにある。

【0009】

【課題を達成するための手段】前記目的を達成するために、本発明は、セルアレイ部と周辺回路部とに区分された半導体基板と、前記半導体基板のセルアレイ部に形成された第 1 トランジスタおよび前記半導体基板の周辺回路部に形成された第 2 トランジスタと、前記第 1 トランジスタおよび前記第 2 トランジスタの上から前記半導体基板の全面に形成され、前記第 1 トランジスタのゲートを露出させる第 1 コンタクトホールと前記第 2 トランジスタのゲート、ソースおよびドレインをそれぞれ露出さ

せる第 2 コンタクトホールとを有する第 1 絶縁膜と、前記第 1 絶縁膜上に形成され、前記第 1 コンタクトホールを通じて前記第 1 トランジスタの前記ゲートに接続される第 1 金属物質の第 1 パターン層および前記第 2 コンタクトホールを通じて前記第 2 トランジスタのゲート、ソースおよびドレインにそれぞれ接続される第 1 金属物質の第 2 パターン層と、前記第 1 金属物質の第 1 パターン層および第 2 パターン層の上から前記半導体基板の全面に形成される第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、前記第 1 トランジスタのソース領域に接続されるストレージ電極および前記ストレージ電極上に誘電体膜を介して形成されたプレート電極を有するキャパシタと、前記キャパシタの上から前記半導体基板の全面に形成される第 3 絶縁膜と、前記第 2 絶縁膜および前記第 3 絶縁膜に形成され、前記第 1 金属物質の第 1 パターン層および第 2 パターン層をそれぞれ露出させる第 1 ファイアホールと、前記第 3 絶縁膜上に形成され、前記第 1 ファイアホールを通じて前記第 1 金属物質の第 1 パターン層および第 2 パターン層にそれぞれ接続される第 2 金属物質の第 3 パターン層とを備えることを特徴とする半導体メモリ装置を提供する。

【0010】本発明の望ましい実施例によると、前記第 3 絶縁膜に形成され前記キャパシタの前記プレート電極を露出させる第 2 ファイアホールおよび前記第 3 絶縁膜上に形成され前記第 2 ファイアホールを通じて前記プレート電極に接続される第 2 金属物質の第 4 パターン層をさらに備える。本発明の他の実施例によると、前記第 1 絶縁膜と前記第 1 金属物質の第 1 パターン層および第 2 パターン層との間に形成され、前記第 1 コンタクトホールのコンタクト抵抗を減少させジャンクションを保護するための障壁金属層をさらに備えることができる。

【0011】前記他の目的を達成するために、本発明は、セルアレイ部と周辺回路部とからなる半導体メモリ装置の製造方法において、半導体基板のセルアレイ部および周辺回路部にそれぞれソースおよびドレインを形成し、前記ソースおよび前記ドレインの間にゲート絶縁膜を介してゲートを形成することにより第 1 トランジスタおよび第 2 トランジスタを形成するトランジスタ形成段階と、前記トランジスタ形成段階で得られた結果物の全面に第 1 絶縁膜を形成する第 1 絶縁膜形成段階と、前記第 1 絶縁膜を部分的に蝕刻することにより、前記セルアレイ部に形成された前記第 1 トランジスタのゲートを露出させる第 1 コンタクトホールと前記周辺回路部に形成された前記第 2 トランジスタのゲート、ソースおよびドレインとをそれぞれ露出させる第 2 コンタクトホールを形成するコンタクトホール形成段階と、前記コンタクトホール形成段階で得られた結果物の全面に第 1 金属物質を蒸着した後パターニングすることにより、前記第 1 コンタクトホールを通じて前記第 1 トランジスタのゲートに接続される第 1 金属物質の第 1 パターン層、および前

記第2コンタクトホールを通じて前記第2トランジスタのゲート、ソースおよびドレインにそれぞれ接続される第1金属物質の第2パターン層を形成する第1および第2パターン層形成段階と、前記第1および第2パターン層形成段階で得られた結果物の全面に第2絶縁膜を形成する第2絶縁膜形成段階と、前記第2絶縁膜上に前記第1トランジスタのソース領域に接続されるストレージ電極を形成し、前記ストレージ電極上に誘電体膜を介してプレート電極を形成することによりキャパシタを形成するキャパシタ形成段階と、前記キャパシタ形成段階で得られた結果物の全面に第3絶縁膜を形成する第3絶縁膜形成段階と、前記第2絶縁膜および前記第3絶縁膜を部分的に蝕刻して前記第1金属物質の第1パターン層および第2パターン層をそれぞれ露出させる第1ファイアホールを形成する第1ファイアホール形成段階と、前記第1ファイアホール形成段階で得られた結果物の全面に第2金属物質を蒸着した後パターニングすることにより、前記第1ファイアホールを通じて前記第1金属物質の第1パターン層および第2パターン層にそれぞれ接続される第2金属物質の第3パターン層を形成する第3パターン層形成段階とを備えることを特徴とする半導体メモリ装置の製造方法を提供する。

【0012】本発明の望ましい実施例によると、前記トランジスタ形成段階の後に、前記トランジスタ形成段階で得られた結果物の全面に絶縁膜を形成する段階と、前記絶縁膜を部分的に蝕刻して前記セルアレイ部に形成された前記第1トランジスタのドレイン領域を露出させるビットラインコンタクトホールを形成するビットラインコンタクトホール形成段階と、前記ビットラインコンタクトホール形成段階で得られた結果物の全面に導電物質を蒸着した後パターニングすることにより、前記ビットラインコンタクトホールを通じて前記第1トランジスタのドレイン領域に接続されるビットラインを形成するビットライン形成段階とをさらに備える。

【0013】

【作用】本発明は、セルアレイ部に形成された第1トランジスタのゲートと周辺回路部に形成された第2トランジスタのゲート、ソースおよびドレインを露出させる第1コンタクトホールおよび第2コンタクトホールを形成した後、第1金属物質の第1パターン層および第2パターン層を形成し、前記第1金属物質の第1パターン層および第2パターン層上にファイアホールを形成してそれぞれ第2金属物質の第3パターン層を連結する。したがって、コンタクトホールおよびファイアホールの縦横比を減少させることができるため、金属配線を容易に形成できる。

【0014】

【実施例】以下、添付した図面に基づき本発明の実施例を詳細に説明する。図3は本発明の半導体メモリ装置のレイアウト図であり、図4は図3の切断線BB'による

本発明の半導体メモリ装置の断面図であり、メモリセルアレイ部および周辺回路部の一部分を示す。

【0015】図3および図4に示すように、メモリセルアレイ部と周辺回路部とに区分される半導体基板100内に活性領域を限定するために、選択的に素子分離層102が形成されている。前記セルアレイ部の活性領域には、一定した間隔を置いて形成されたソースおよびドレイン（図示せず）と、前記ソースとドレインとの間にゲート絶縁膜103を介して形成されたゲート104とを有する第1トランジスタが形成されている。前記周辺回路部の活性領域にもソース105、ドレイン106および前記ソースとドレインとの間にゲート絶縁膜103'を介して形成されたゲート104'を有する第2トランジスタが形成されている。ここで、前記第1トランジスタのゲート104はワードラインに提供され、第1および第2トランジスタのゲート104、104'の側面には絶縁物質からなる側壁スペーサ107が形成されている。

【0016】前記第1および第2トランジスタ上には、第1トランジスタのドレインを露出させるビットラインコンタクトホール109hを有する第1絶縁膜が形成されており、その上にビットラインコンタクトホール109hを通じて第1トランジスタのドレインに接続されるビットライン109が形成されている。ビットライン109上には第2絶縁膜が形成されており、第1および第2絶縁膜は、第1トランジスタのゲート104を露出させる第1コンタクトホール112と、第2トランジスタのゲート104'、ソース105およびドレイン106、およびビットライン109を露出させる第2コンタクトホール112'とを有する。前記第2絶縁膜上には、多数の第1金属物質の第1および第2パターン層111、111'が形成されている。前記第1金属物質の第1パターン層111は、第1コンタクトホール112を通じて第1トランジスタのゲート104に接続され、第1金属物質の第2パターン層111'は、第2コンタクトホール112'を通じて第2トランジスタのゲート104'、ソース105およびドレイン106とビットラインとにそれぞれ接続される。ここで、前記第1および第2パターン層111、111'は第1金属物質を蒸着した後、これをパターニングして形成されたものである。

【0017】前記第1金属物質の第1および第2パターン層111、111'上には第1トランジスタのソースを露出させるストレージノードコンタクトホール114を有する第3絶縁膜113が形成されており、その上にストレージノードコンタクトホール114を通じて第1トランジスタのソースに接続されるストレージ電極115およびストレージ電極115上に順に形成された誘電体膜116およびプレート電極117を有するキャパシタが形成されている。

【0018】前記キャパシタのプレート電極117上に第4絶縁膜118が形成されており、第3絶縁膜113および第4絶縁膜118は、第1金属物質の第1および第2パターン層111、111'を露出させる第1ファイアホール119を有する。また、第4絶縁膜118は、プレート電極117を露出させる第2ファイアホール119'を有する。第4絶縁膜118上には、第1ファイアホール119を通じて第1金属物質の第1および第2パターン層111、111'にそれぞれ接続される第2金属物質の第3パターン層120および第2ファイアホール119'を通じてプレート電極117に接続される第2金属物質の第4パターン層120'が形成されている。ここで、第3および第4パターン層120、120'は、第2金属物質を蒸着した後、これをパターニングして形成されたものである。

【0019】本発明による半導体メモリ装置は、図4に示したように、セルアレイ部に形成された第1トランジスタのゲート104を露出させる第1コンタクトホール112を通じて第1金属物質の第1パターン層111が接続されてワードラインの抵抗を減少させる。また、周辺回路部に形成された第2トランジスタのゲート104'、ソース105およびドレイン106は、それぞれこれらを露出させる第2コンタクトホール112'を通じて、第1金属物質の第1および第2パターン層111、111'と接続され、第1金属物質の第1および第2パターン層111、111'は第1ファイアホール119を通じて第2金属物質の第3パターン層120と接続される。

【0020】したがって、第1金属物質の第1および第2パターン層111、111'によりワードラインの抵抗を減少すると同時に周辺回路部の配線を連結するので、金属配線の層数を増加させなくても周辺回路部で二重金属配線を使用することができる。また、第1金属物質の第2パターン層111'で周辺回路部の配線を連結するので、第2コンタクトホール112'の縦横比（図4の参照符号b）および第1ファイアホール119の縦横比がいずれも減少して金属配線工程を容易に実施できる。

【0021】図5～図12は、本発明の第1実施例による半導体メモリ装置の製造方法を説明するための断面図であり、メモリセルアレイ部および周辺回路部の一部分を示したものである。図5は、半導体基板100上に第1および第2トランジスタを形成する段階を示す。半導体基板100上に活性領域を限定するために、選択的に素子分離層102を形成する。次いで、熱酸化工程により半導体基板100上にゲート絶縁膜103、103'を形成した後、その上に導電物質、例えば不純物のドーパされたポリシリコンまたはシリサイドを1000～2000Å程度の厚さで蒸着し、これをリソグラフィ工程でパターニングすることにより、セルアレイ部および周

辺回路部にそれぞれトランジスタのゲート104、104'を形成する。次に、ゲート104、104'の形成された結果物上に不純物をイオン注入してソースおよびドレインを形成する。前述した工程により、セルアレイ部の活性領域には、ワードラインに提供されるゲート104、ソースおよびドレイン（図示せず）を有する第1トランジスタが形成され、周辺回路部の活性領域にも同様にゲート104'、ソース105およびドレイン106を有する第2トランジスタが形成される。

【0022】この際、必要に応じて、第1および第2トランジスタのゲート104、104'の側面部に絶縁物質、例えば酸化物からなる側壁スペーサ107を形成してもよい。図6は、第1絶縁膜108、ビットラインコンタクトホールおよびビットライン109を形成する段階を示す。前記第1および第2トランジスタの形成された結果物の全面に、ゲート104、104'を絶縁させるために、絶縁物質、例えば酸化物またはBPSGを1000～3500Å程度の厚さで蒸着し、これをエッチバックすることにより、第1絶縁膜108を形成する。次いで、リソグラフィ工程により前記第1絶縁膜108を部分的に蝕刻して第1トランジスタのドレイン（図示せず）を露出させるビットラインコンタクトホール（図示せず）を形成する。次に、前記ビットラインコンタクトホールの形成された結果物全面に導電物質、例えば不純物のドーパされたポリシリコンまたはシリサイドを1000～1500Å程度の厚さで蒸着した後、これをリソグラフィ工程でパターニングする。その結果、前記ビットラインコンタクトホールを通じて第1トランジスタのドレインに接続されるビットライン109が形成される。

【0023】図7は、第2絶縁膜110を形成する段階を示す。ビットライン109を絶縁させるために、ビットライン109上に絶縁物質、例えば酸化物またはBPSGを1000～3000Å程度の厚さで蒸着して第2絶縁膜110を形成する。次いで、下部のビットライン109により屈曲が発生した第2絶縁膜110の表面を平坦化させるために、例えばエッチバックのような平坦化工程を施す。

【0024】図8は、第1および第2コンタクトホール112、112'と第1金属物質の第1および第2パターン層111、111'を形成する段階を示す。リソグラフィ工程で第2絶縁膜110を部分的に蝕刻し、第1トランジスタのゲート104を露出させる第1コンタクトホール112と、第2トランジスタのゲート104'、ソース105およびドレイン106とビットライン109をそれぞれ露出させる第2コンタクトホール112'とを形成する。この際、第2コンタクトホール112'の高さ（“b”参照）は、従来方法によるファイアホールの高さ（図2の“a”参照）より低くなるために、蝕刻方法によるコンタクトホールの形成が容易であ

る。また、第2コンタクトホール112'の縦横比が従来より減少するために、後続する金属工程を円滑に施すことができる。

【0025】次いで、第1および第2コンタクトホール112、112'の形成された結果物全面に第1金属物質、例えばタングステンWまたはチタニウムTiのような高融点の金属物質をスパッター法または化学気相蒸着法により4000~10000Å程度の厚さで蒸着する。次に、リソグラフィ工程で前記第1金属物質層をパターンニングすることにより、第1コンタクトホール112を通じて第1トランジスタのゲート104に接続される第1金属物質の第1パターン層111と、第2コンタクトホール112'を通じて第2トランジスタのゲート104'、ソース105およびドレイン106とビットライン109にそれぞれ接続される第1金属物質の第2パターン層111'とを形成する。ここで、前記第1金属物質層をパターンニングする時、その下部の第2絶縁膜110の表面が平坦化されているために、形成しようとする第1金属物質の第1および第2パターン層111、111'のピッチが小さくてもパターンニングが容易である。

【0026】第1金属物質の第1パターン層111はワードラインの抵抗を減少させるワードラインストラッピング金属配線層の役割を果たし、第1金属物質の第2パターン層111'は周辺回路部の配線連結を容易にする役割を果たす。また、第1金属物質の第1および第2パターン層111、111'は半導体メモリ装置の多層配線において最下層の金属配線層であり得る。第1金属物質の第1および第2パターン層111、111'は、キャパシタを形成する前に形成されるため、キャパシタ電極物質の蒸着工程時または平坦化工程時の高温工程により溶融され得るので、タングステンやチタニウムのように溶融点の高い耐火金属を使用するのが望ましい。

【0027】図9は、第3絶縁膜113を形成する段階を示す。第1金属物質の第1および第2パターン層111、111'が形成された結果物全面に、例えば低温酸化物を2000~5000Å程度の厚さで蒸着して第3絶縁膜113を形成する。ここで、第3絶縁膜113の表面を平坦化するためのエッチバック工程をさらに施すこともできる。

【0028】図10は、ストレージノードコンタクトホール114およびキャパシタを形成する段階を示す。リソグラフィ工程で第3絶縁膜113、第2絶縁膜110および第1絶縁膜108を部分的に蝕刻することにより、前記第1トランジスタのソースを露出させるストレージノードコンタクトホール114を形成する。次いで、ストレージノードコンタクトホール114が形成された結果物全面に導電物質、例えば不純物のドーパされたポリシリコンを5000Å以上の厚さで蒸着した後、これをリソグラフィ工程でパターンニングする。その結

果、ストレージノードコンタクトホール114を通じて第1トランジスタのソースに接続されるストレージ電極115が形成される。次いで、ストレージ電極115上に誘電体膜として、例えばONO (Oxide/Nitride/Oxide)膜または五酸化タンタル (Ta_2O_5)膜を100Å以下の厚さで形成し、続いて前記誘電体膜116上に導電物質、例えば不純物のドーパされたポリシリコンを1000~1500Å程度の厚さで蒸着してプレート電極117を形成する。前述した工程により、ストレージ電極115、誘電体膜116およびプレート電極117を有するキャパシタが得られる。

【0029】図11は、第4絶縁膜118と第1および第2ファイアホール119、119'を形成する段階を示す。前記キャパシタの形成された結果物全面に、プレート電極117を絶縁させるために、例えば酸化物を1000~3000Åの厚さで蒸着したりまたは酸化工程を施したりして第4絶縁膜118を形成する。次いで、下部のキャパシタにより屈曲が生じた第4絶縁膜118の表面を平坦化させるために、例えばエッチバックのような平坦化工程を施す。

【0030】次に、リソグラフィ工程で第4絶縁膜118および第3絶縁膜113を部分的に蝕刻して、第1金属物質の第1および第2パターン層111、111'をそれぞれ露出させる第1ファイアホール119およびプレート電極117を露出させる第2ファイアホール119'を形成する。図12は、第2金属物質の第3および第4パターン層120、120'を形成する段階を示す。第1および第2ファイアホール119、119'の形成された結果物全面に第2金属物質、例えばアルミニウムを4000~8000Åの厚さで蒸着した後、これをリソグラフィ工程によりパターンニングする。その結果、第1ファイアホール119を通じて第1金属物質の第1および第2パターン層111、111'にそれぞれ接続される第2金属物質の第3パターン層120および第2ファイアホール119'を通じてプレート電極117に接続される第2金属物質の第4パターン層120'が形成される。ここで、前記第2金属物質層をパターンニングする時、ストレージ電極115とプレート電極117の厚さだけ全体的に段差が形成されているが、形成しようとする第2金属物質の第3および第4パターン層120、120'のピッチが大きいため、そのパターンニングが容易である。

【0031】図13は、本発明の第2実施例による半導体メモリ装置の製造方法を説明するための断面図である。図13に示すように、第1実施例の図5~図8で説明した方法により第1および第2トランジスタおよびビットライン109を形成した後、第1トランジスタのゲート104を露出させる第1コンタクトホール112と、第2トランジスタのゲート104'、ソース105およびドレイン106とビットライン109をそれぞれ

露出させる第2コンタクトホール112'を形成する。次いで、第1および第2コンタクトホール112、112'のコンタクト抵抗および後続する工程で形成される第1金属物質の第1および第2パターン層によるストレスを減少させるために、結果物全面にチタニウムTiまたはチタニウムナイトライドTiNを100~1000Å程度の厚さで蒸着して障壁金属層122を形成する。

【0032】障壁金属層122を形成した後、第1実施例の図8~図12で説明した工程を同様に施す。図14は、本発明の第3実施例による半導体メモリ装置の製造方法を説明するための断面図であり、メモリセルアレイ部の一部分のみを示した。これは図3のレイアウト図の切断線C-C'による断面図である。

【0033】図14に示すように、第1実施例の図5~図10で説明した方法により、第1および第2トランジスタ、ビットライン109、そして第1金属物質の第1および第2パターン層111、111'を形成した後、前記第1トランジスタのソースを露出させるストレージノードコンタクトホール114を形成する。次いで、後続する工程で形成されるキャパシタのストレージ電極とビットライン、またはストレージ電極と第1金属物質の第1および第2金属パターン層の絶縁特性を強化させるために、ストレージノードコンタクトホール114の形成された結果物全面に絶縁物質、例えば酸化物またはシリコン窒化物を蒸着する。次に、前記絶縁物質を異方性蝕刻してストレージノードコンタクトホール114の側面部に側壁スペーサ124を形成する。

【0034】側壁スペーサ124を形成した後、第1実施例の図10~図12で説明した工程を同様に施す。図14は、本発明の第4実施例による半導体メモリ装置の製造方法を説明するための断面図であり、メモリセルアレイ部の一部分のみを示した。これは前記図3のレイアウト図の切断線C-C'による断面図である。

【0035】図15に示すように、素子分離層102により活性領域が限定された半導体基板100上に熱酸化工程によりゲート絶縁膜103を形成した後、その上に導電物質、例えば不純物のドーパされたポリシリコンまたはシリサイドを1000~2000Å程度の厚さで蒸着する。次いで、前記導電物質上に絶縁物質、例えば高温酸化物を蒸着した後、前記絶縁物質および導電物質層をリソグラフィ工程によりパターニングすることにより、トランジスタのゲート104およびキャップ絶縁層（図示せず）を形成する。次に、前記結果物全面に絶縁物質を蒸着した後、これを異方性蝕刻してゲート104の側面部に側壁スペーサ107を形成する。次いで、結果物上に不純物をイオン注入してトランジスタのソース105およびドレイン106を形成する。ここで、側壁スペーサ107を形成する前にソース105およびドレイン106を形成してもよい。

【0036】次いで、後続する工程でストレージノード

を形成する時、前記コンタクトホールの縦横比（“c”参照）を減少させゲートとのマージン（“d”参照）を増加させるために、前記結果物全面に導電物質、例えばポリシリコンを1000~3000Åの厚さで蒸着する。次いで、リソグラフィ工程によりストレージノードコンタクトホールが形成される部位の前記導電物質層をゲート104の上部の所定部位まで覆うようにパターニングすることにより、パッド導電層125を形成する。この際、前記キャップ絶縁層および側壁スペーサ107はゲートをパッド導電層125から絶縁させる役割を果たす。次に、パッド導電層125の形成された結果物全面に絶縁物質、例えばBPSGを蒸着して第1絶縁膜を形成し、続いてビットラインコンタクトホールおよびビットライン（図示せず）を形成する。

【0037】前記ビットラインを形成した後、第1実施例の図7~図12で説明した工程を同様に施すことができ、または第2実施例や第3実施例の工程を同様に施すこともできる。ここで、パッド導電層125は、前述したようにストレージノードコンタクトホールが形成される部位のみに形成されることもでき、ビットラインコンタクトホールが形成される部位にも形成され得る。

【0038】

【効果】本発明によると、セルアレイ部のトランジスタのゲートと、周辺回路部のトランジスタのゲート、ソースおよびドレインを露出させる第1および第2コンタクトホールを形成した後、第1金属物質の第1および第2パターン層を形成し、前記第1金属物質の第1および第2パターン層上にそれぞれ第1ファイアホールを形成して第2金属物質の第3パターン層を連結する。

【0039】したがって、前記第1金属物質の第1および第2パターン層によりワードラインの抵抗を減少させると同時に、周辺回路部の配線を連結するために、金属配線の層数を増加させなくても周辺回路部で二重金属配線を使用することができる。また、前記第1金属物質の第2パターン層で周辺回路部の配線を連結するために、第2コンタクトホールの縦横比および第1ファイアホールの縦横比が減少して金属配線が容易に形成できる。

【0040】また、キャパシタを形成する前に第1金属物質の第1および第2パターン層を形成するために、メモリセルアレイ部と周辺回路部間の段差を減少させ得る。これにより、単にキャパシタのストレージ電極の高さを増加させることだけで、高容量のキャパシタが得られる。なお、本発明は前記実施例に限定されるものではなく、本発明の思想を逸脱しない範囲内において種々の改変をなし得ることは無論である。

【図面の簡単な説明】

【図1】従来の半導体装置メモリ装置のレイアウト図である。

【図2】図1のA-A'線断面図である。

【図3】本発明の半導体メモリ装置のレイアウト図であ

る。

【図4】図3のB-B'線断面図である。

【図5】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図6】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図7】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図8】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図9】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図10】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図11】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図12】本発明の第1実施例による半導体メモリ装置の製造方法を示す断面図である。

【図13】本発明の第2実施例による半導体メモリ装置の製造方法を示す断面図である。

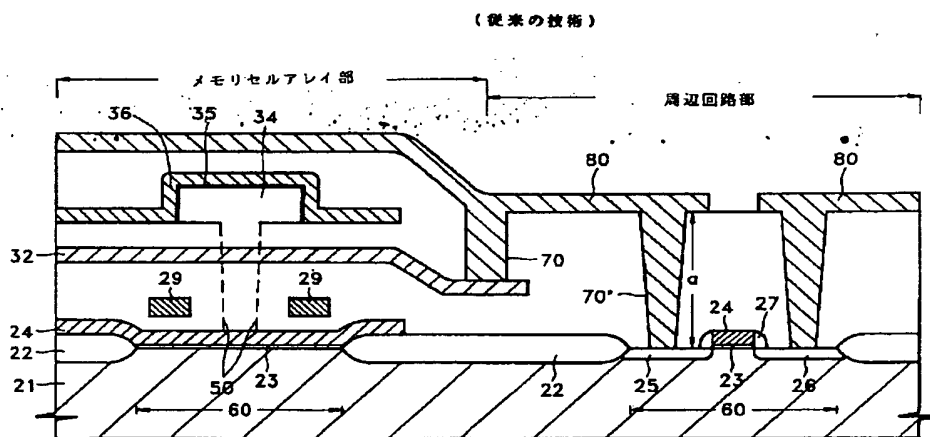
【図14】本発明の第3実施例による半導体メモリ装置の製造方法を示す断面図である。

【図15】本発明の第4実施例による半導体メモリ装置の製造方法を示す断面図である。

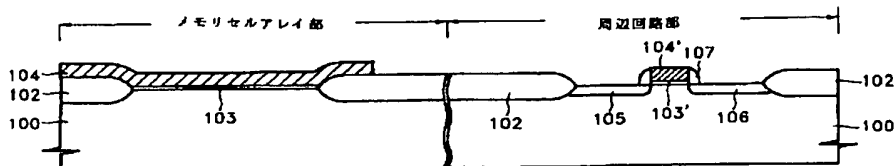
【符号の説明】

100	半導体基板
102	素子分離層
104、104'	ゲート
105	ソース
106	ドレイン
107	側壁スペーサ
108	第1絶縁膜
109	ビットライン
110	第2絶縁膜
111	第1パターン層
111'	第2パターン層
112	第1コンタクトホール
112'	第2コンタクトホール
113	第3絶縁膜
114	ストレージノードコンタクトホール
115	ストレージ電極
116	誘電体膜
117	プレート電極
118	第4絶縁膜
119	第1ファイアホール
119'	第2ファイアホール
120	第3パターン層
120'	第4パターン層

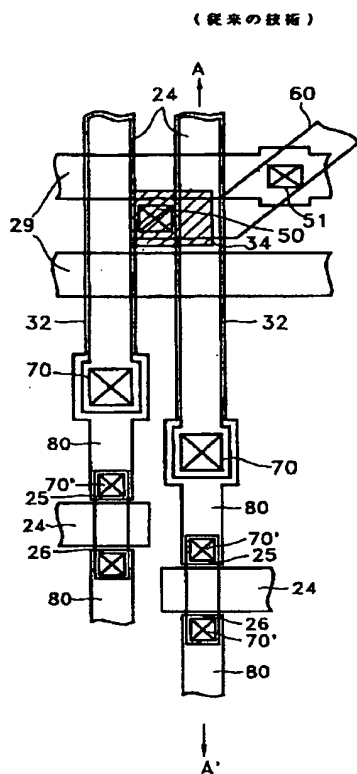
【図2】



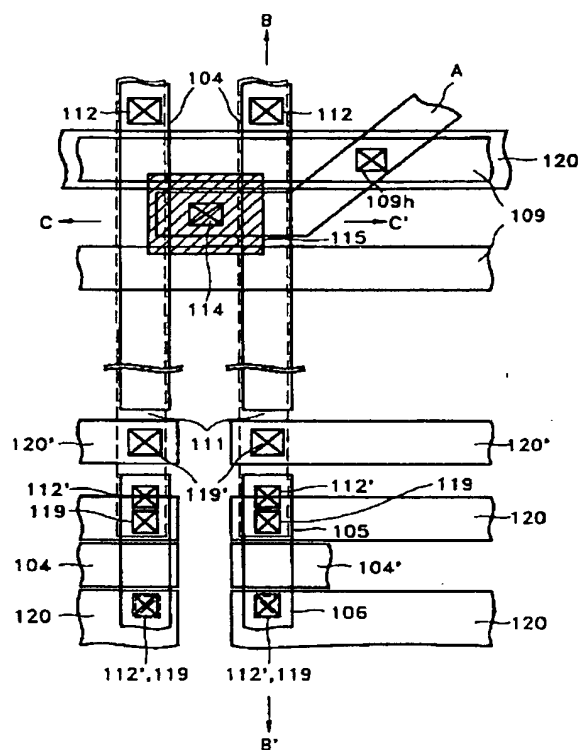
【図5】



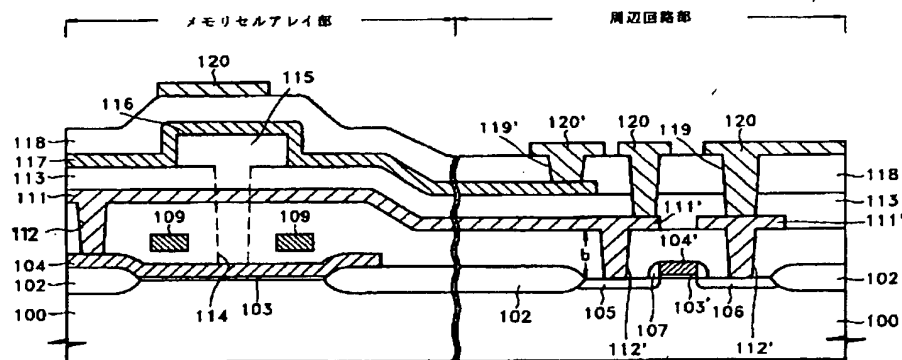
【図 1】



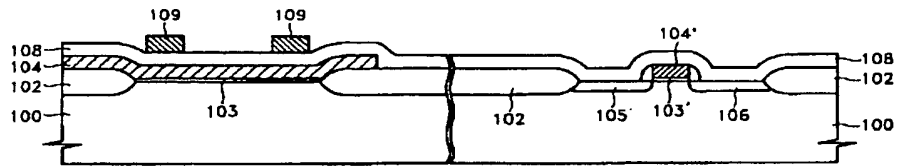
【図 3】



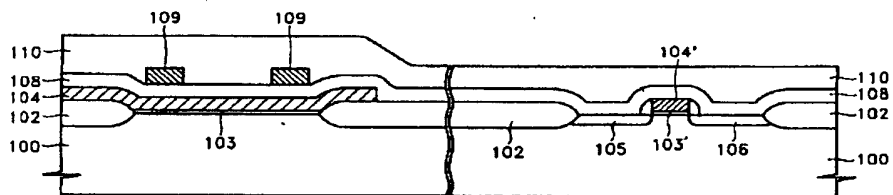
【図 4】



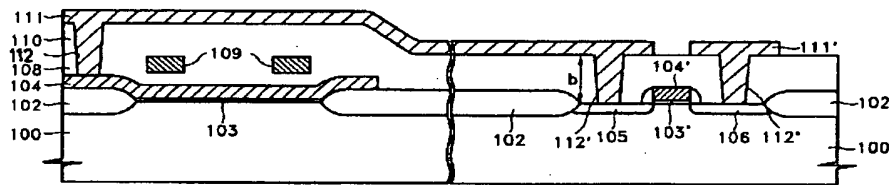
【図 6】



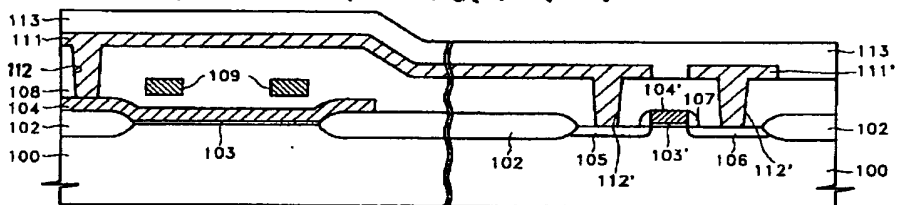
【図 7】



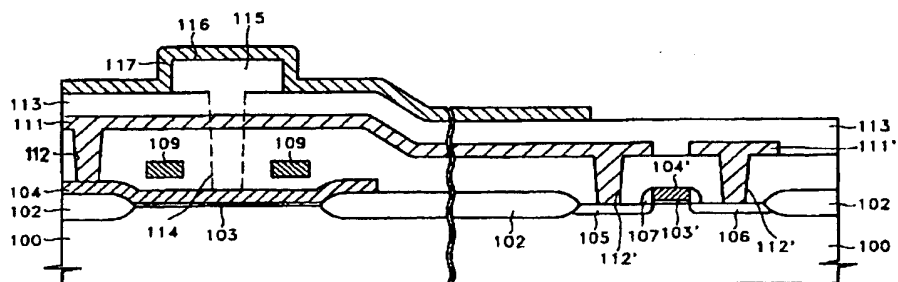
【図 8】



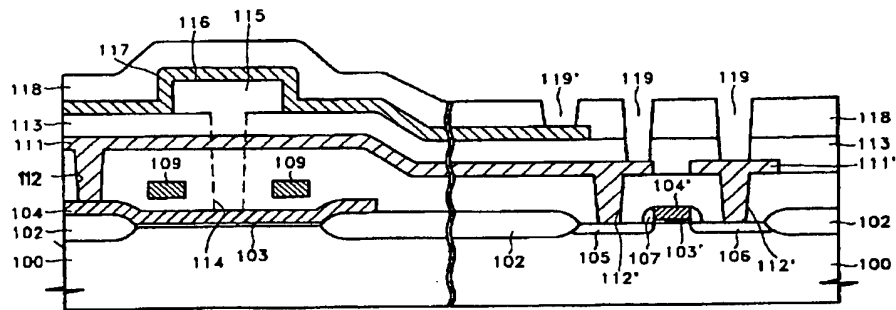
【図 9】



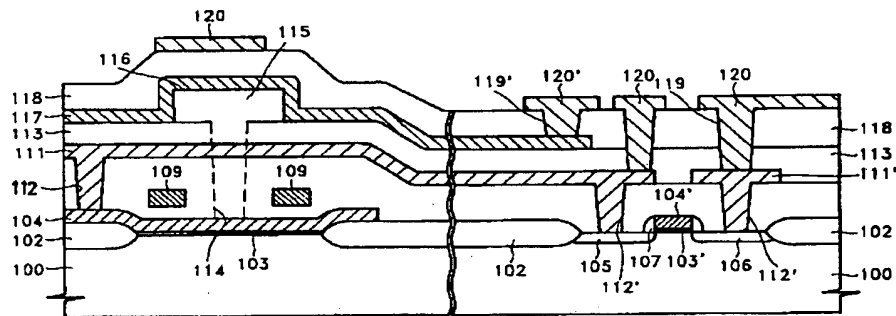
【図 10】



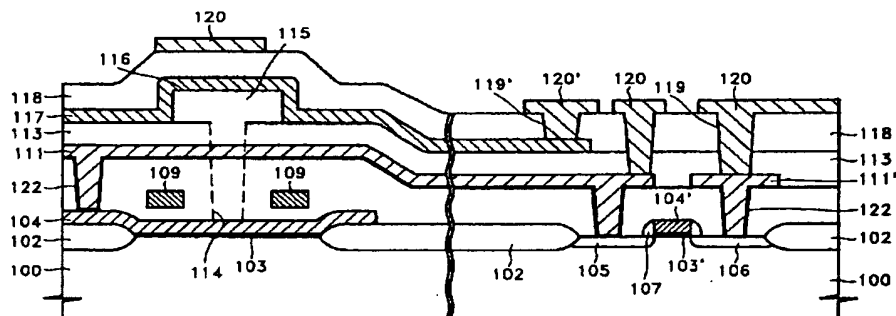
【図11】



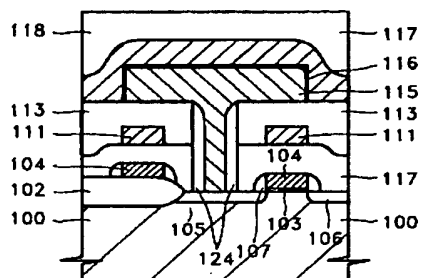
【図12】



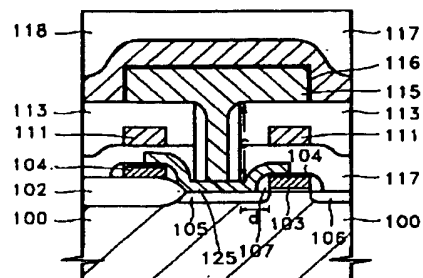
【図13】



【図 1 4】



【図 1 5】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
27/10

C

7735-4M

6 8 1 A

7735-4M

6 8 1 D

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-293838

(43)公開日 平成9年(1997)11月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822			27/10	6 5 1
27/108			29/78	3 7 1
21/8242				

審査請求 未請求 請求項の数3 O L (全 6 頁) 最終頁に続く

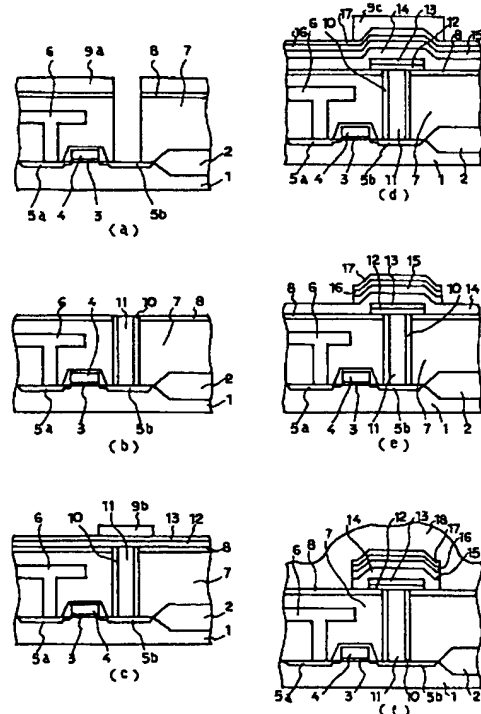
(21)出願番号	特願平8-105421	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成8年(1996)4月25日	(72)発明者	大西 茂夫 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72)発明者	木下 多賀雄 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72)発明者	工藤 淳 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】 不揮発性半導体メモリ素子の製造方法

(57)【要約】

【課題】 P Z T等の強誘電体膜と層間絶縁膜との反応を防止するために TiO_2 が必要となるが、プラグの平坦性を維持し、更に TiO_2 を均一に形成することが必要となる。 TiO_2 膜は、下部電極加工時に除去されないようにする必要があり、 TiN 膜と TiO_2 膜の選択比を向上させることが不可欠となる。

【解決手段】 トランジスタ形成後、最上層が酸化チタン膜からなる層間絶縁膜を形成する。該層間絶縁膜にコンタクトホールを形成し、該コンタクトホールをコンタクトプラグで埋設した後、全面に窒化チタン膜及び白金膜を順次堆積する。次に、 Cl_2 及び C_2F_6 を含むエッチングガスを用いて、白金膜を所定の形状にパターニングし、 Cl_2 及び O_2 を含むエッチングガス又は SF_6 及び O_2 を含むエッチングガスを用いて、窒化チタン膜を所定の形状にパターニングし、キャパシタの下部電極を形成する。



【特許請求の範囲】

【請求項1】 一のトランジスタと一の強誘電体膜をキャパシタ絶縁膜として用いたキャパシタとをコンタクトプラグで電氣的に接続した構造で、上記キャパシタの下部電極のパターニング後、全面に上記キャパシタ絶縁膜材料及び上記キャパシタの上部電極材料を堆積し、上記下部電極全面を覆うように上記キャパシタ絶縁膜及び上記キャパシタの上部電極を同一パターンに形成する工程を有する不揮発性半導体メモリ素子の製造方法において、

上記トランジスタ形成後、最上層が酸化チタン膜からなる層間絶縁膜を形成する工程と、

該層間絶縁膜にコンタクトホールを形成し、該コンタクトホールをコンタクトプラグで埋設した後、全面に窒化チタン膜及び白金膜を順次堆積する工程と、

Cl_2 及びフッ素系ガスを含むエッチングガスを用いて、上記白金膜を所定の形状にパターニングし、 Cl_2 及び O_2 を含むエッチングガス、若しくは SF_6 及び O_2 を含むエッチングガスを用いて、上記窒化チタン膜を所定の形状にパターニングし、上記キャパシタの下部電極を形成する工程とを有することを特徴とする、不揮発性半導体メモリ素子の製造方法。

【請求項2】 上記下部電極を形成した後、上記強誘電体膜、白金膜、窒化チタン膜及びアルミニウム膜を順次堆積する工程と、

Cl_2 を含むエッチングガスを用いて、上記アルミニウム膜及び上記窒化チタン膜を所定の形状にパターニングし、 Cl_2 及びフッ素系ガスを含むエッチングガスを用いて、上記白金膜を所定の形状にパターニングし、ドライ線となる上記キャパシタの上部電極を形成する工程と、

上記パターニングされたアルミニウム膜をマスクに Cl_2 及び O_2 を含むエッチングガス、若しくは SF_6 及び O_2 を含むエッチングガスを用いて、上記強誘電体膜を所定の形状にパターニングし、上記キャパシタ絶縁膜を形成する工程とを有することを特徴とする、請求項1記載の不揮発性半導体メモリ素子の製造方法。

【請求項3】 上記コンタクトプラグの形成を、コンタクトホール形成後、全面にチタン膜及び窒化チタン膜を全面に形成した後、上記コンタクトホールを埋めるようにタングステン膜を形成し、CMP法を用いて、上記酸化チタン膜表面が露出するまでエッチバックすることとを特徴とする、請求項1又は請求項2記載の不揮発性半導体メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体メモリ素子の製造方法に関し、更に詳しくは、キャパシタ絶縁膜として強誘電体を用いた高集積対応の不揮発性ランダムアクセスメモリ素子の製造方法に関するものであ

る。

【0002】

【従来の技術】 従来、1トランジスタ/1キャパシタ構造を有し、高集積対応の強誘電体不揮発性メモリ素子を形成するのに、スタックキャパシタ型メモリセルが、提案されている（IEDM94 p843~846）。第1の従来技術の不揮発性半導体メモリ素子の構造断面図である図2に示すように、選択トランジスタのソース/ドレイン拡散層24上に、ポリシリコンプラグ26を形成し、白金（Pt）膜（上部電極）32/PZT（チタン酸ジルコン酸鉛（ $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ））膜29/Pt膜28/窒化チタン（TiN）膜27（Pt膜/TiN膜により下部電極を構成する。）の構造からなるキャパシタを形成する。

【0003】 通常は、PZT膜29/下部電極形成後に、層間絶縁膜（ SiO_2 膜31/TiO₂膜30）を形成し、PZT膜29上の層間絶縁膜30、31にコンタクトホールを形成した後、上部電極32を形成する。この場合のキャパシタ面積は、PZT膜上のコンタクト面積に等しくなり、コンタクトホールと下部電極とのオーバーラップ及び下部電極と上部電極とのオーバーラップ分の面積が必要となり、結果として、キャパシタ面積は大きくなる。尚、図2において、21はシリコン基板、22はゲート絶縁膜、23はゲート電極、25はBPSG膜を示す。

【0004】 また、キャパシタサイズを小さくするには、下部電極（Pt膜/TiN膜）を形成し、上部電極（Pt膜）/強誘電体（PZT膜）を同時に加工し、キャパシタを形成する必要がある。また、上部電極となるPt膜がドライ線兼ねる場合、ドライ線の比抵抗が高い（ $\sim 10 \mu\Omega\text{cm}$ ）ため、デバイスの高集積化・微細化に伴い、線幅が細くなると、ドライ線を駆動するときの遅延時間が問題となる。そのため、ドライ線（Pt）に低抵抗材料であるAl等を張り付けることが不可欠になる。

【0005】 以下に、本発明者が提案する上部電極と強誘電体とを同時に加工した1トランジスタ/1キャパシタ型の半導体メモリの製造工程を図3を用いて説明する。

【0006】 まず、シリコン基板41上にゲート絶縁膜42を介して形成されたゲート電極43と該ゲート電極43に自己整合的に形成されたソース/ドレイン拡散領域44とを有するMOSトランジスタを形成後、層間絶縁膜45a及び拡散防止膜（TiO₂膜）45bを形成する（図3（a））。

【0007】 次に、マスク（図示せず。）を用いて、層間絶縁膜45a及び拡散防止膜45bをエッチングし、MOSトランジスタのソース拡散領域44上にコンタクトホールを形成する。その後、コンタクトホール上を含む全面にポリシリコンを堆積し、CMP（Chemical

al Mechanical Polishing: 化学的機械的研磨) 法により、ポリシリコンをエッチバックしてコンタクトプラグ46を形成する(図3(b))。

【0008】次に、スパッタ法により、下部電極材料(Pt膜/TiN膜を堆積後、塩素系ガス又はフッ素系ガスでエッチングし、下部電極47を形成する(図3(c))。

【0009】次に、PZT膜及び上部電極材料(Pt)を堆積後、マスク(図示せず。)を用いて、塩素系ガス又はフッ素系ガスにより、上部電極材料及びPZT膜を同時にパターニングし、ドライブ線となる上部電極49とキャパシタ絶縁膜となるPZT膜48を形成する。このとき、エッチング時のマージン確保のため、上部電極49/PZT膜48が下部電極47をオーバーラップするように形成する(図3(d))。

【0010】更に、CVD法により、シリコン酸化膜50を形成後、ビット線51を形成する(図3(e))。ここで、上記メモリセルにより構成される回路構成を図4に示す。このように、上部電極49よりなるドライブ線がそれぞれのメモリセルに共通に形成されるため、隣接するセルに対して、読み出し時/書き込み時のディスタープを防止できるとともに、別途上部電極を接続するためのドライブ線を形成する必要なくなる。図4において、DLはドライブ線、BLはビット線、WLはワード線、52はドライブ線駆動回路を示す。

【0011】

【発明が解決しようとする課題】しかし、図3に示すメモリセルは下部電極47及び上部電極49/PZT膜48を塩素系ガス、又はフッ素系ガスを用いて形成するため、エッチング時に強誘電体であるPZT膜48と層間絶縁膜45aとの接触を防止する拡散防止膜45bが除去される可能性があり、強誘電体の劣化及び剥離等を防止できないという問題点を有していた。

【0012】また、上部電極としてPtを用いているため、配線抵抗の低減が困難であり、ドライブ線の駆動時に信号の遅延が生じるという問題点を有していた。更に、図2に示す構造では、下部電極となるPt膜28上に強誘電体29を形成し、その後、強誘電体膜29と下部電極(Pt)28とを同時に加工していたので、下部電極の段差が存在せずに、強誘電体を形成することができたが、図3の、下部電極47上に上部電極49/強誘電体膜48が覆いかぶさる構造では、Pt膜/TiN膜からなる下部電極47による段差が形成された上に強誘電体膜48を堆積させなければならず、均一な膜を得ることが難しかった。

【0013】また、コンタクトプラグ46であるポリシリコンと下部電極47を成すPt膜とは容易に反応し、ポリシリコンによるコンタクトプラグへのPtの拡散を防止するためには、TiN膜を少なくとも2000Å程度形成しなければならず、下部電極の段差を緩和するこ

とは困難となり、下部電極に対するPZT膜の被覆性が悪くなる。

【0014】また、PZT等の強誘電体膜と層間絶縁膜となる下地SiO₂膜との反応を防止するためにTiO₂等の拡散防止膜が必要となるが、プラグの平坦性を維持し、更にTiO₂等を均一に形成することが必要となる。この拡散防止膜となるTiO₂膜等は、下部電極加工時に除去されないようにする必要があり、TiN膜とTiO₂膜の選択比を向上させることが不可欠となる。

【0015】更に、ドライブ線の低抵抗化であるが、Al等の低抵抗材料を張り付ける必要があるが、Al膜/TiN膜/Pt膜/PZT膜の多層膜を精度よく加工するのは困難である。

【0016】

【課題を解決するための手段】請求項1記載の本発明の不揮発性半導体メモリ素子の製造方法は、一のトランジスタと一の強誘電体膜をキャパシタ絶縁膜として用いたキャパシタとをコンタクトプラグで電気的に接続した構造で、上記キャパシタの下部電極のパターニング後、全面に上記キャパシタ絶縁膜材料及び上記キャパシタの上部電極材料を堆積し、上記下部電極全面を覆うように上記キャパシタ絶縁膜及び上記キャパシタの上部電極を同一パターンに形成する工程を有する不揮発性半導体メモリ素子の製造方法において、上記トランジスタ形成後、最上層が酸化チタン膜からなる層間絶縁膜を形成する工程と、該層間絶縁膜にコンタクトホールを形成し、該コンタクトホールをコンタクトプラグで埋設した後、全面に窒化チタン膜及び白金膜を順次堆積する工程と、Cl₂及びフッ素系ガスを含むエッチングガスを用いて、上記白金膜を所定の形状にパターニングし、Cl₂及びO₂を含むエッチングガスを用いて、上記窒化チタン膜を所定の形状にパターニングし、上記キャパシタの下部電極を形成する工程とを有することを特徴とするものである。

【0017】また、請求項2記載の本発明の不揮発性半導体メモリ素子の製造方法は、上記下部電極を形成した後、上記強誘電体膜、白金膜、窒化チタン膜及びアルミニウム膜を順次堆積する工程と、Cl₂を含むエッチングガスを用いて、上記アルミニウム膜及び上記窒化チタン膜を所定の形状にパターニングし、Cl₂及びフッ素系ガスを含むエッチングガスを用いて、上記白金膜を所定の形状にパターニングし、ドライブ線となる上記キャパシタの上部電極を形成する工程と、上記パターニングされたアルミニウム膜をマスクにCl₂及びO₂を含むエッチングガスを用いて、上記強誘電体膜を所定の形状にパターニングし、上記キャパシタ絶縁膜を形成する工程とを有することを特徴とする、請求項1記載の不揮発性半導体メモリ素子の製造方法である。

【0018】更に、請求項3記載の本発明の不揮発性半

導体メモリ素子の製造方法は、上記コンタクトプラグの形成を、コンタクトホール形成後、全面にチタン膜及び窒化チタン膜を全面に形成した後、上記コンタクトホールを埋めるようにタングステン膜を形成し、CMP法を用いて、上記酸化チタン膜表面が露出するまでエッチバックすることを特徴とする、請求項1又は請求項2記載の不揮発性半導体メモリ素子の製造方法である。

【0019】

【実施の形態】以下、一実施の形態に基づいて本発明について詳細に説明する。

【0020】図1は本発明の一実施の形態の不揮発性半導体メモリ素子の製造工程図である。

【0021】以下、図1を用いて、本発明の一実施の形態の不揮発性半導体メモリ素子の製造工程を説明する。図1において、1はシリコン基板、2はロソス酸化膜、3はゲート絶縁膜、4はゲート電極、5aはソース領域、5bはドレイン領域、6はビット線、7は層間絶縁膜となるBPSG膜、8は強誘電体膜のシリコン酸化膜に対する拡散バリア膜となる TiO_2 膜、9a、9b、9cはレジスト、10は窒化チタン(TiN)膜/チタン(Ti)膜の2層構造膜、11はタングステン(W)膜、12は TiN 膜、13は白金(Pt)膜、14はPZT膜、15は Pt 膜、16は TiN 膜、17はアルミニウム(Al)膜を示す。

【0022】まず、MOSTランジスタを形成後、ランジスタの拡散領域(メモリセル内におけるドレイン領域5a)にコンタクトホールを形成し、ブランケット W により、ビット線6を形成する。具体的には、MOSTランジスタが形成された半導体基板全面に層間絶縁膜としてBPSG膜7を 10000\AA 程度形成し、CMP法により表面を平坦化した後、反応性スパッタ法により、 TiO_2 膜8を 1000\AA 堆積し、所定の形状にパターニングされたレジスト9aをマスクにメモリセル内のランジスタのドレイン領域5bに直径 5000\AA 程度のコンタクトホールを形成する(図1(a))。

【0023】次に、スパッタ法により、 Ti 膜を 500\AA 程度、 TiN 膜を 1000\AA 程度の2層構造膜10、ブランケット W 膜11を 5000\AA 堆積することにより、コンタクトホールを埋め込んだ後、CMP法により W 膜11及び TiN 膜/ Ti 膜の2層構造膜10のエッチバックを行う(図1(b))。

【0024】このとき、 W 膜11及び TiN 膜/ Ti 膜の2層構造膜10と TiO_2 膜8とのエッチバックの選択比が10以上あるため、平坦なプラグ形状でかつ 1000\AA 程度の TiO_2 8がBPSG膜7上に形成されることになる。尚、プラグ材料として、 TiN 膜/ Ti 膜の2層構造膜を用いた場合、比抵抗が $1k\mu\Omega\text{cm}$ であるのに対して、 W 膜11と TiN 膜/ Ti 膜の2層構造膜10との構造は、 $10\mu\Omega\text{cm}$ であるため、コンタクトプラグでの低抵抗化を図ることが可能となる。

【0025】次に、スパッタ法により TiN 膜12を 500\AA 程度、 Pt 膜13を 500\AA 程度順次堆積させた後、所定の形状にパターニングされたレジスト9bをマスクに用いて、ドライエッチングより、 Pt 膜13/ TiN 膜12を加工し、下部電極を形成する(図1(c))。

【0026】このドライエッチング工程において、バイアスECR等の高密度プラズマ装置による、エッチング条件はエッチング膜が Pt 膜13の場合、バイアスパワーを $100\sim 200W$ 、圧力を $1\sim 5mTorr$ 、エッチングガスを Cl_2 と C_2F_6 とし、 Cl_2/C_2F_6 の流量を $80/20sccm\sim 50/50sccm$ とする。 Pt 膜13は通常 Cl_2 によりエッチングするが、 Pt 膜13の側壁に付着するデポ物を低減するため、 C_2F_6 等の C_nF_{2n+2} (n は自然数)や CHF_3 や SiF_4 等のフッ素を含むのフッ素系ガスを添加する。また、バイアスECR等の高密度プラズマ装置を用い、 C_2F_6/Cl_2 等のガス系を用いることにより、 Pt 膜13に 45° 以下のテーパの付いたエッチング形状が得られる。下部電極にテーパを付けると、被覆特性の改善に有効となる。

【0027】また、エッチング膜が TiN 膜12の場合、バイアスパワーを $50W$ 、圧力を $1\sim 5mTorr$ 、エッチングガスを Cl_2 と O_2 とし、 Cl_2/O_2 の流量を $50/0sccm\sim 50/10sccm$ とする。上述のように、エッチングガスに O_2 を添加することにより、 TiN 膜12と TiO_2 膜8との選択比を向上させることができ、安定して、 TiO_2 膜8を残すことができる。 TiN 膜12は、 Cl_2 等の塩素系ガスを添加したガスによりエッチングすることが望まれる。このガスを用いることにより、 TiO_2 膜8はエッチングされにくくすることができ、 TiN 膜12に対して10以上の選択比が得られる。

【0028】次に、 Pt 膜13/ TiN 膜12からなる下部電極上にゾルゲル法、スパッタ法又はMOCVD法によりPZT膜14を 2000\AA を成膜し、アニール後に、膜厚が約 1000\AA の Pt 膜15、膜厚が約 500\AA の TiN 膜16、膜厚が約 1000\AA の Al 膜17を順次堆積させる。尚、強誘電体膜としては、PZT膜の他、PLZT膜、 $SrBi_2$ 膜、 $Ta_{2-x}Nb_xO_9$ 膜等が用いられる。その後、所定の形状にパターニングされたレジスト9cを用いて、高密度プラズマ装置により、上記多層膜をドライエッチする(図1(d))。

【0029】このエッチング工程において、エッチング条件は、エッチング膜が Al 膜17及び TiN 膜16の場合、バイアスパワーを $100\sim 200W$ 、圧力を $1\sim 5mTorr$ 、エッチングガスを Cl_2 とし、 Cl_2 の流量を $50sccm$ とする。また、エッチング膜が Pt 膜15の場合、バイアスパワーを $100\sim 200W$ 、圧力を $1\sim 5mTorr$ 、エッチングガスを Cl_2 と C_2F_6 。

とし、 $\text{Cl}_2/\text{C}_2\text{F}_6$ の流量を $80/20\text{ sccm} \sim 50/50\text{ sccm}$ とする。更に、エッチング膜がPZT膜14の場合、バイアスパワーを $100 \sim 200\text{ W}$ とし、圧力を $1 \sim 5\text{ Torr}$ 、エッチングガスを SF_6 と O_2 又は CF_4 と O_2 とし、 SF_6/O_2 の流量を、 $100/10 \sim 30/10\text{ sccm}$ 、 CF_4/O_2 の流量を $100/10 \sim 30/10\text{ sccm}$ とする。

【0030】このエッチング工程では、 Cl_2 等の塩素系ガスにより、Al膜17、TiN膜16を所定の形状にパターニングされたレジスト9cをマスクに用いて、エッチングする(図1(d))。続いて、 $\text{Cl}_2/\text{C}_2\text{F}_6$ のガスにより、Pt膜15をエッチングする。この段階でフォトリソレジスト9cがほとんどなくなっているため、レジストを除去し、Al膜17をマスクにしてPZT膜14をエッチングする(図1(e))。

【0031】PZT膜14のエッチングには、 $\text{SF}_6 + \text{O}_2$ 又は $\text{CF}_4 + \text{O}_2$ ガスをエッチングガスに用いるが、Al膜17とF(フッ素)とは反応性が低く、また、エッチングガスに O_2 が添加されているため、Al膜17のエッチングレートが低下し、PZT膜14のエッチング中におけるAl膜17の膜減りは殆ど無い。

【0032】また、同様にエッチングガスに O_2 を添加しているため、PZT膜14/TiO₂膜8の選択比は1程度となり、例えばPZT/TiO₂= $2000/1000\text{ \AA}$ を用いた場合、30%程度のPZT膜14のオーバーエッチを行っても、約 400 \AA のTiO₂膜8が残り、従って、TiO₂膜8を突き破り、下地BPSG膜7までエッチングされることはない。

【0033】上述のプロセスによりキャパシタを形成した後、全面に絶縁膜18を形成し、図示しないドライブ線駆動回路と接続するためのコンタクトホールを形成し、従来方法でAl配線(図示せず。)を形成する(図1(f))。

【0034】尚、本発明の実施の形態としてCOB(Capacitor On Bitline)構造の強誘電体メモリセルについて説明したが、本発明はこれに限定されるものではない。また、本発明の実施の形態ではMOSトランジスタについて説明したが、本発明はこれに限定されるものではない。

【0035】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、キャパシタ絶縁膜に強誘電体膜を用い、上部電極とキャパシタ絶縁膜とが同時にパターニングされ、上部電極がドライブ線を兼ねた不揮発性半導体メモリ素子のセルサイズを縮小することができる。具体的には、 $0.5\text{ }\mu\text{m}$ のデザインルール(キャパシタサイズが $1.0\text{ }\mu\text{m}^2$)と比較すると、従来技術では、 $10\text{ }\mu\text{m}^2$ 程度のセルサイズが得られるのに対し、本発明では、 $3.5\text{ }\mu\text{m}^2$ のセルサイズが得られ、素子の微細化に大きく貢献することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の不揮発性半導体メモリ素子の製造工程を示す図である。

【図2】第1の従来の不揮発性半導体メモリ素子の構造断面図である。

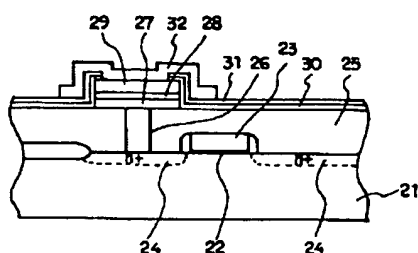
【図3】第2の従来の不揮発性半導体メモリ素子の製造工程を示す図である。

【図4】図3の工程により形成されるメモリセルにより構成される回路構成図である。

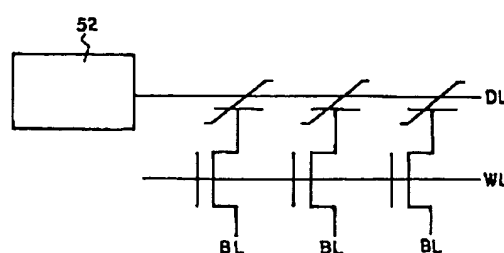
【符号の説明】

- 1 シリコン基板
- 2 ロコス酸化膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 a ソース領域
- 5 b ドレイン領域
- 6 ビット線
- 7 BPSG膜
- 8 TiO₂膜
- 9 a、9 b、9 c レジスト
- 10 TiN膜/Ti膜の2層構造膜
- 11 W膜
- 12 TiN膜
- 13 Pt膜
- 14 PZT膜
- 15 Pt膜
- 16 TiN膜
- 17 Al膜
- 18 絶縁膜

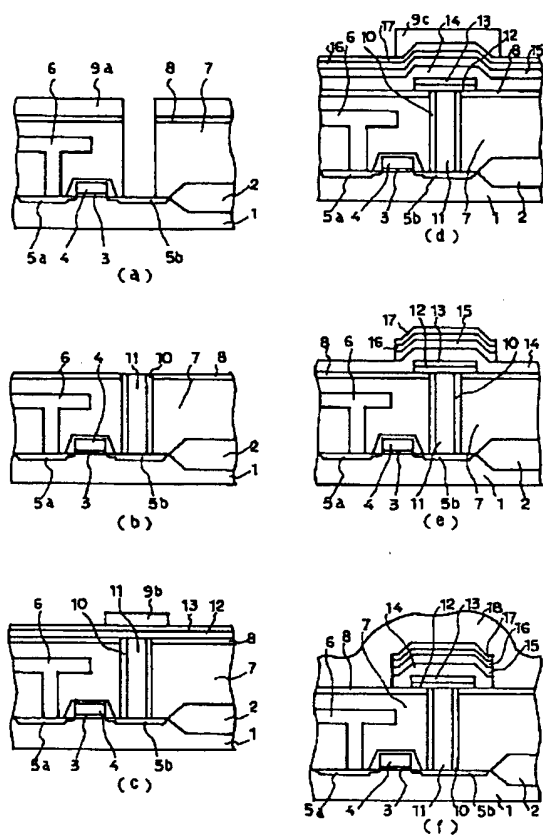
【図2】



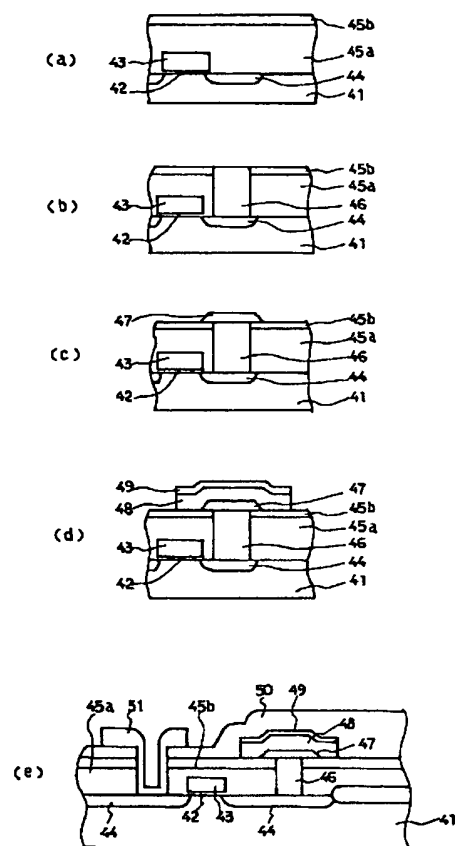
【図4】



【図 1】



【図 3】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所